

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-059428

(43)Date of publication of application : 07.03.1989

(51)Int.Cl. G06F 5/06
G06F 5/06

(21)Application number : 62-215271 (71)Applicant : NEC CORP

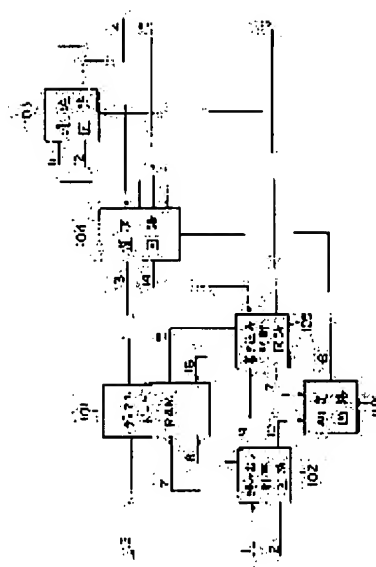
(22)Date of filing : 31.08.1987 (72)Inventor : OOTAWA MASAYUKI

(54) BURST CONVERTING CIRCUIT

(57)Abstract:

PURPOSE: To execute a high speed signal processing and a large capacity signal processing, by inputting an input digital signal train and an input timing pulse, and a signal train and a pulse from a delaying circuit which has delayed them by M bits, selecting one of these signal train and pulse, and outputting it as a digital signal train and a timing pulse.

CONSTITUTION: A signal train and a pulse from a dual port RAM 101, a read-out control circuit 102, and a delaying circuit 103 for delaying an input digital signal train and an input timing pulse by M bits (M: a natural number) by an input clock and outputting them are inputted. The titled circuit is provided with a selecting circuit 104 for selecting one of these signal train and pulse, and outputting it as a digital signal train and a timing pulse, a write-in control circuit 105 and a deciding circuit 106. In such a way, the signal processing of high speed and a large capacity can be realized by a small-sized structure.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭64-59428

⑫ Int. Cl.⁴

G 06 F 5/06

識別記号

3 5 2
3 0 1

庁内整理番号

7230-5B
7230-5B

⑬ 公開 昭和64年(1989)3月7日

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 バースト変換回路

⑮ 特 願 昭62-215271

⑯ 出 願 昭62(1987)8月31日

⑰ 発 明 者 大 田 和 雅 之 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 渡辺 喜平

明 細 書

1. 発明の名称

バースト変換回路

2. 特許請求の範囲

入力信号をスピードの速い信号に変換してバースト状に出力するバースト変換回路において、書き込み制御および読み出し制御を同時に行なうための入力ポートと出力ポートを個別に備え、入力デジタル信号を書き込むとともに、例回路出力側の基準クロックと基準タイミングパルスに対し、位相吸収、フレーム整合およびバースト変換を行ないバースト信号列を出力するデュアルポートRAMと、上記基準クロックおよび基準タイミングパルスを入力し、この基準タイミングパルスの周期を1フレームとしてNフレーム(Nは2以上の自然数)単位の読み出しアドレスおよび読み出し制御信号を上記デュアルポートRAMに出力す

るとともに、Nフレーム周期の制御パルスおよび判定パルスを入力する読み出し制御回路と、入力デジタル信号列および入力タイミングパルスを入力クロックによりMビット(M:自然数)遅延させて出力する遅延回路と、入力デジタル信号列および入力タイミングパルスとこれらをMビット遅延させた上記遅延回路からの信号列およびパルスとを入力し、これら信号列およびパルスのうちいずれの一方を選択して、デジタル信号列およびタイミングパルスとして出力する選択回路と、タイミングパルス、入力クロックおよび上記制御パルスを入力し、Nフレーム単位の書き込みアドレスおよび書き込み制御信号を上記デュアルポートRAMに出力するとともに、上記制御パルスに対するタイミングパルスの位相情報を入力する書き込み制御回路と、上記位相情報および判定パルスを入力し、上記制御パルスに対するタイミングパルスの位相を判定し、その判定結果にもとづき上

記憶回路を開閉する判定回路とを具備したことを特徴するバースト変換回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、入力信号をスピードの違いの信号に変換してバースト状に出力するバースト変換回路に関する。

〔従来の技術〕

従来、この種のバースト変換回路としては、例えば、第5図に示すような構成のものがあった。

第5図において、201はFIFO(First-In, First-Out)入出力が独立なシーケンシャルメモリであり、書き込みパルス20による制御のもと入力デジタル信号列4と入力タイミングパルス5を入力する。また読み出しパルス19による制御のもと、基準クロック2に対して位相変換、フレーム整合およびバースト変換を行ない、バースト信号列3および出力タイミングパルス20を出

力する。さらにエンプティ情報22およびオーバーフロー情報23を出力する。

202は出力制御回路であり、基準タイミングパルス1および基準クロック2を入力し、エンプティ情報22および後述する比較結果24にもとづき、読み出しパルス19を出力してき18020とを制御する。203は入力制御回路であり、入力クロック6を入力し、オーバーフロー情報23にもとづき書き込みパルス20を出力してき180201を制御するとともに、マスタリセット25を出力する。204は比較回路であり、基準タイミングパルス1と出力タイミングパルス21を入力し、フレーム整合が行なえるように比較結果24を出力し、これにより出力制御回路202を制御する。

上述したバースト変換回路では、入出力の制御はそれぞれ独立に行なわれている。そこで、まず入力側の動作を第5図のタイミングチャートにも

とづき説明する。入力制御回路203は、FIFO201より出力されるオーバーフロー情報23(8-e)が“H”レベルであるとき、FIFO201にまだ書き込めるスペースがあると判断し、入力クロック6(8-a)に従い書き込みパルス20(8-b)を出力する。FIFO201は、書き込みパルス20にしたがい、ビット周期(1:自然数)の入力タイミングパルス5(6-c)と入力デジタル信号列4(8-d)(1:自然数1≦i<n)を順次書き込んでいく。一方オーバーフロー情報23が“L”レベルであるとき、入力制御回路203はFIFO201に書き込めるスペースがないと判断し、FIFO201を初期状態にするためにマスタリセット25(8-f)を出力する。

次に、出力側の動作を第7図のタイミングチャートにもとづき説明する。マスタリセット25により初期状態にされたFIFO201は何も書

き込まれていないので、エンプティ情報22(7-f)として“L”レベルを出力する。出力制御回路202は、エンプティ情報22と比較結果24(7-e)が“H”レベルであり、かつ、バースト信号列3(7-a)を出力すべきタイミングであるとき、基準クロック2(7-b)にしたがい読み出しパルス19(7-c)を出力する(なお、比較結果23は、初期状態では“H”レベル)。

読み出しパルス19にしたがい、FIFO201はバースト信号列3と出力タイミングパルス21(7-d)を出力する。比較回路204は基準タイミングパルス1(7-b)と出力タイミングパルス21を比較し、整合がとれているかどうかを判断し、整合がとれていないときには比較結果24として“L”レベルを出力する。比較結果24が“L”レベルになると出力制御回路202は読み出しパルス19を出力するのを止め

る。この状態でFIFO201の出力は保持される。

基準タイミングパルス1が出力制御回路202と比較回路204に入力すると、比較結果24が"H"レベルとなり、再び出力制御回路202より読み出しパルス19が出力され読み出しが再開する。このようにしてFIFOを用いてバースト変換を行っていた。

〔解決すべき問題点〕

上述した従来のバースト変換回路は、FIFOを用いた構成であった。FIFOは、S-Rラッチを何個も重ねてシーケンシャルメモリを構成しているため、動作遅延および容量に限界がある。したがって、高速デジタル信号列を処理する場合には、デジタル信号列を並列処理し、一列あたりの速度を落す必要があった。また、大容量のデジタル信号列を処理する場合には、容量確保のためFIFOをいくつも並べる必要があり、バースト

変換回路としての回路構成が複雑かつ大規模になる。このように、従来のバースト変換回路は、高速処理ならびに大容量デジタル信号列には適さないという欠点があった。

本発明は上記問題を解決するもので、高速でかつ大容量のデュアルポートRAMを使用することにより、高速信号処理、大容量信号処理に適した小型のバースト変換回路の提供を目的とする。

〔問題点の解決手段〕

上記目的を達成するために、本発明は、入力信号をスピードの遅い信号に変換してバースト状に出力するバースト変換回路において、書き込み制御および読み出し制御を同時に行なうための入力ポートと出力ポートを個別に備え、入力デジタル信号を出力込むとともに、同期出力側の基準クロックと基準クイミングパルスに対し、読取吸収、フレーム整合およびバースト変換を行ないバースト信号列を出力するデュアルポートRAM

と、上記基準クロックおよび基準タイミングパルスを入力し、この基準タイミングパルスの周波数を1フレームとしてNフレーム(Nは2以上の自然数)単位の読み出しアドレスおよび読み出し制御信号を上記デュアルポートRAMに出力するとともに、Nフレーム同期の制御パルスおよび判定パルスを入力する読み出し制御回路と、入力デジタル信号列および入力クイミングパルスを入力クロックによりMビット(M:自然数)遅延させて出力する遅延回路と、入力デジタル信号列および入力クイミングパルスとこれらをMビット遅延させた上記遅延回路からの信号列およびパルスとを入力し、これら信号列およびパルスのうちのいずれか一方を選択して、デジタル信号列およびタイミングパルスとして出力する選択回路と、タイミングパルス、入力クロックおよび上記制御パルスを入力し、Nフレーム単位の書き込みアドレスおよび書き込み制御信号を上記デュアルポートRAMに

出力するとともに、上記制御パルスに対するクイミングパルスの位相情報を出力する書き込み制御回路と、上記位相情報および判定パルスを入力し、上記制御パルスに対するタイミングパルスの位相を判定し、その判定結果にもとづき上記選択回路を制御する判定回路とを具備した構成にしてある。

〔実施例〕

以下、本発明の一実施例について図面を参照して説明する。

第1図は本実施例に係るバースト変換回路を示すブロック図である。

図面において、101はデュアルポートRAMであり、入力ポートと出力ポートを個別に備え、書き込みアドレス15および書き込み制御信号15にしたがって、入力デジタル信号4を出力込む。また、読み出しアドレス7および読み出し制御信号8にしたがってバースト信号列3を読み出

す。デュアルポートRAM101は、これら書き込み制御、読み出し制御を独立して同時にこなせるものである。

102は読み出し制御回路であり、基準タイミングパルス1と基準クロック2を入力し、Nフレーム周期(Nは2以上の自然数)の読み出しアドレス7および読み出し制御信号8を出力してデュアルポートRAM101の読み出し制御を行なう。また、読み出し制御回路102は、Nフレーム周期の第1制御パルス9、および判定パルス10を出力する。制御パルス9は、入力デジタル信号列4、入力タイミングパルス5、および入力クロック6のビット内およびビット単位での位相変動を制御するためのものである。

103は選択回路であり、入力デジタル信号列4および入力タイミングパルス5を入力クロック6によりMビット(Mは自然数)運送させ、信号列11およびパルス12として出力する。

ャートにもとづき、上記バースト変換回路の動作を説明する。なお、以下の説明は、制御パルス幅が1フレームの場合を例にとっている。

まず、書き込み側の動作を説明する(第1図、第2図参照)。入力クロック6(2-a)、タイミングパルス14(2-b)および制御パルス9(2-c)を入力した書き込み制御回路105は、制御パルス9が“H”レベルの間にあるタイミングパルス14をアドレスの基準とし、Nフレーム単位の書き込みアドレス15と書き込み制御信号18を出力する。デュアルポートRAM101は、書き込み制御回路105からの書き込みアドレス15と書き込み制御信号18にしたがいデジタル信号列13(2-d)を入力する。

次いで、読み出し側の動作を説明する(第1図、第3図参照)。基準クロック2(3-a)および基準タイミングパルス1(3-b)を入力した読み出し制御回路102は入力タイミングパル

ス104は選択回路であり、入力デジタル信号列4の信号列11および入力タイミングパルス5のパルス12を、それぞれ判定結果13により選択し、デジタル信号列13、タイミングパルス14として出力する。

105は書き込み制御回路であり、タイミングパルス14、入力クロック6、およびNフレーム周期の制御パルス9を入力し、Nフレーム周期の書き込みアドレス15および書き込み制御信号18を出力してデュアルポートRAM101の書き込み制御を行なう。また、制御パルスに対するタイミングパルス14の位相検出17を出力する。

106は判定回路であり、判定パルス10および位相検出17を入力し、制御パルス9に対するタイミングパルス14の位相を判定し、その判定結果18にもとづき選択回路104を制御する。

次に、第1図および第2~4図のタイミングチ

ス5の位相が不確定である。バースト変換するためには書き込みの基準と読み出しの基準が1/2フレーム以上離れるようにしなければならない。そこで、制御パルス9(3-c)の“H”レベル間にある基準タイミングパルス1の次にくる基準タイミングパルス1(本印)をアドレスの基準とし、Nフレーム単位の読み出しアドレス7と読み出し制御信号8(3-d)を出力する。デュアルポートRAM101は読み出し制御回路102からの読み出しアドレス7と読み出し制御信号8にしたがいバースト信号列3(3-e)を出力する。この結果書き込み側のアドレスと読み出し側のアドレスが一対に対応し、かつ読み出し側でバースト状に読み出すのでフレーム整合とバースト変換が行なえたことになる。

最後に、基準クロック2と基準タイミングパルス1に対してビット内およびビット単位での位相が不確定な入力クロック6と入力タイミングパル

ス5および入力デジタル信号列4につき位相吸収を行なう動作を説明する(第1図、第4図参照)。遅延回路103は、入力クロック6を用いて、入力タイミングパルス5と入力デジタル信号列4をMビット遅延させる。選択回路104は、入力タイミングパルス5および入力デジタル信号列4と、これらとMビット遅れたパルス12および信号列11を入力し、判定結果8にしたがいタイミングパルス14(4-b)とデジタル信号列13を出力する。書き込み制御回路105は、制御パルス9(4-a)とタイミングパルス14より位相情報17(4-c)を出力する。この場合、基準タイミングパルス1と入力タイミングパルス6の位相が悪いので、位相情報17としては“H”レベルの部分が出てくる。判定回路106は、Nフレーム同期で入力される判定パルス10により、位相情報として2ビットあることを判定し、判定結果18を反転させて、タイミングパ

スよりMビット遅れたタイミングパルス14(4-d)を選択回路104より出力させる。この結果として、位相情報17(4-c)が得られる。Mの値を1フレームの1/2に設定すれば位相マージンとして±1/2フレームのマージンを得ることができる。

上述した実施例は制御パルス幅が1フレームの場合について説明したが、制御パルス幅をjフレーム(j:自然数)としjフレーム中の任意の1フレームをアドレスの基準とすれば位相マージンとして±1/2×jフレームのマージンを得ることができる。

[発明の効果]

以上説明したように、本発明によれば、高速度かつ大容量のデュアルポートRAMを使用することにより、信号処理の高速度化、大容量化を小形の構造にて実現できる効果がある。

4. 図面の簡単な説明

第1図は本発明の実施例に係るバースト変換回路のブロック図、第2図、第3図、第4図はそれぞれ同バースト変換回路の動作を示すタイミングチャート、第5図は従来のバースト変換回路のブロック図、第6図、第7図は従来例の動作を示すタイミングチャートである。

101:デュアルポートRAM

102:読み出し制御回路 103:遅延回路

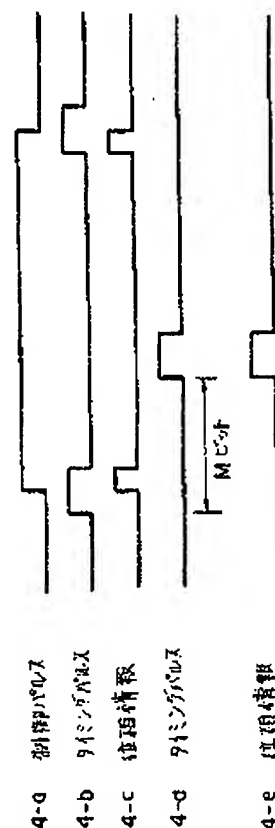
104:選択回路 105:書き込み制御回路

106:判定回路 201:FIFO

202:出力制御回路 203:入力制御回路

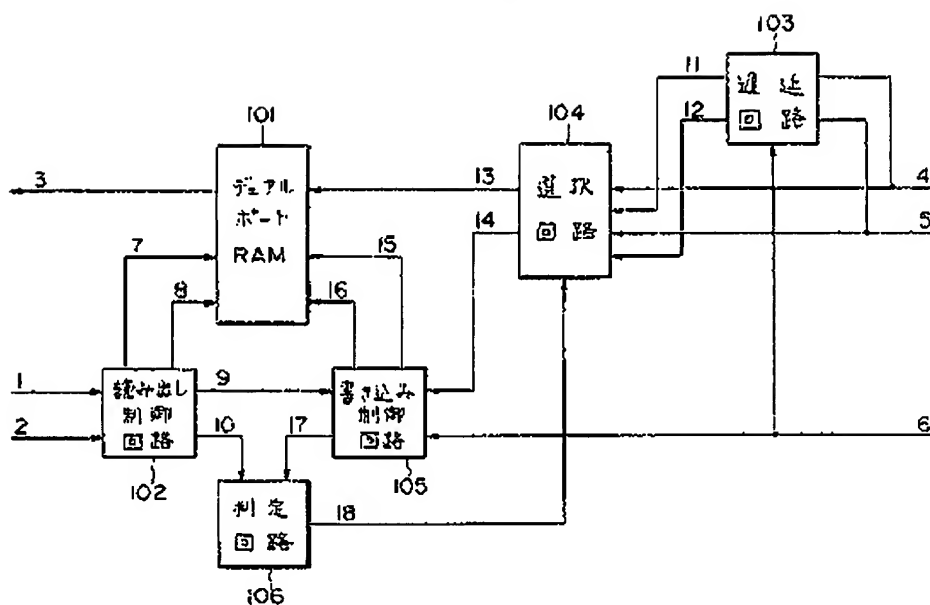
204:比較回路

第4図

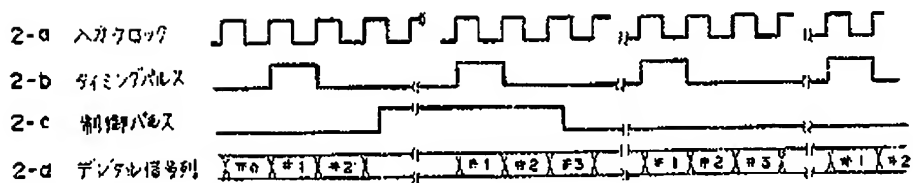


代理人 弁護士 藤田 洋平

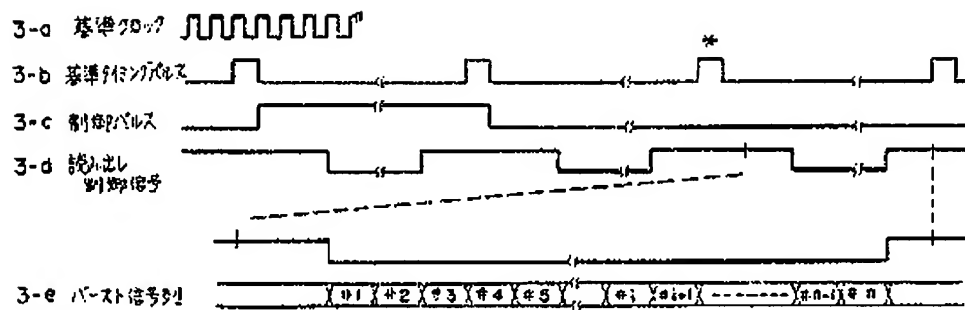
第 一 圖



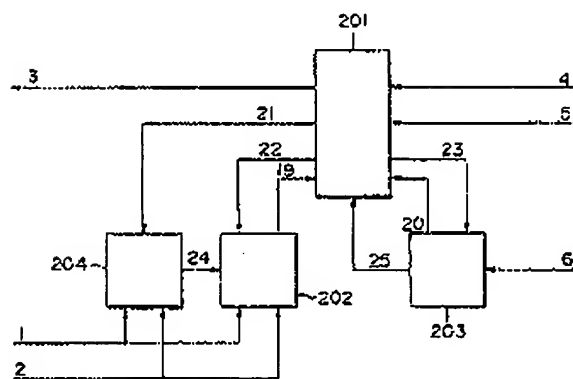
第 2 回



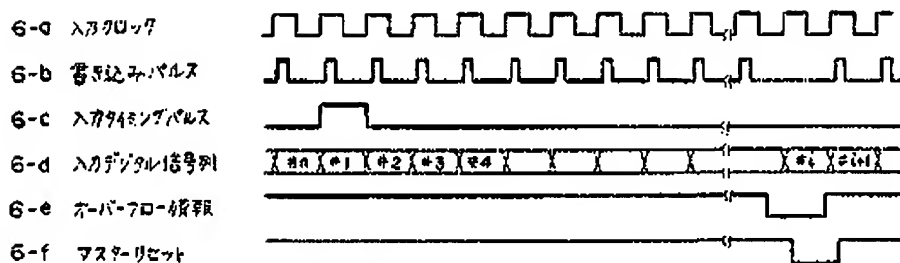
第 3 図



第 3 図



第 6 図



第 7 図

